

#134

AMA.040

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re patent application of

Manabu Koga

Serial No.: 09/922,950

Filing Date: August 7, 2001

For: MICROCOMPUTER

Assistant Commissioner of Patents  
Washington, D.C. 20231



Group Art Unit: 2185

Examiner: Unknown

**SUBMISSION OF PRIORITY DOCUMENT**

Sir:

Submitted herewith is a certified copy of Japanese Application Number 2000-237996 filed on August 7, 2000, upon which application the claim for priority is based.

Respectfully submitted,

Sean M. McGinn

Registration No. 34,386

Date: 11/14/01

McGinn & Gibb, PLLC

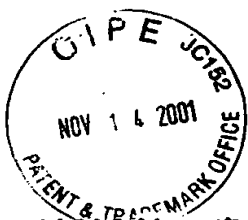
Intellectual Property Law

8321 Old Courthouse Road, Suite 200

Vienna, VA 22182-3817

(703) 761-4100

Customer No. 21254



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 8月 7日

出 願 番 号

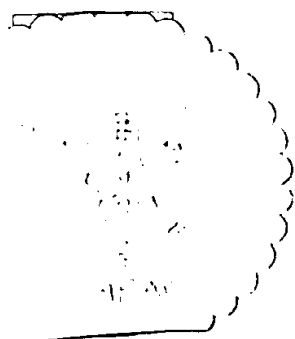
Application Number:

特願2000-237996

出 願 人

Applicant(s):

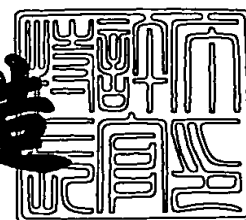
日本電気アイシーマイコンシステム株式会社



2001年 5月11日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3038257

出証特2001-3038257

【書類名】 明細書

【発明の名称】 キャッシュ内蔵マイクロコンピュータ

【特許請求の範囲】

【請求項1】 キャッシュと中央処理装置とを1チップに内蔵したマイクロコンピュータであって、

前記中央処理装置が実行する命令を格納するRAMを備え、前記RAMには割り込み処理ルーチンが格納されているマイクロコンピュータ。

【請求項2】 電源投入時の前記RAMへのプログラムの書き込みは、メモリマップを切り替えることにより、行われるものであることを特徴とする請求項1に記載のマイクロコンピュータ

【請求項3】 中央処理装置と、

第1バスを介して前記中央処理装置と接続されているバスコントローラと、

第2バスを介して前記中央処理装置と、第3バスを介して前記バスコントローラとそれぞれ接続されている命令キャッシュと、

第4バスを介して前記第2バスと接続され、かつ、割り込み処理ルーチンが格納されている命令RAMと、

からなるマイクロコンピュータ。

【請求項4】 第5バスを介して前記バスコントローラと、第6バスを介して前記命令RAMと、第7バスを介して外部メモリとそれぞれ接続されているメモリコントローラをさらに備えることを特徴とする請求項3に記載のマイクロコンピュータ。

【請求項5】 前記中央処理装置は、実行すべき命令が前記命令キャッシュ上にある場合には、前記命令キャッシュからその命令を読み出し、かつ、実行し、実行すべき命令が前記命令キャッシュ上にない場合には、前記外部メモリから命令を読み出し、その命令を実行することを特徴とする請求項4に記載のマイクロコンピュータ。

【請求項6】 割り込み発生時には、前記中央処理装置は、前記命令RAMから命令を読み出し、前記割り込み処理ルーチンを実行するものであることを特徴とする請求項3乃至5の何れか一項に記載のマイクロコンピュータ。

【請求項 7】 前記中央処理装置に接続する外部端子をさらに備えており、前記外部端子を介して、前記命令 R A M が配置される領域が指定されるものであることを特徴とする請求項 3 乃至 6 の何れか一項に記載のマイクロコンピュータ。

【請求項 8】 前記外部端子の操作は前記中央処理装置の実行中においても受け付けられるものであることを特徴とする請求項 7 に記載のマイクロコンピュータ。

【請求項 9】 前記中央処理装置に接続する外部端子をさらに備えており、前記外部端子を介して、メモリマップの切り替えが行われるものであることを特徴とする請求項 3 乃至 8 の何れか一項に記載のマイクロコンピュータ。

【請求項 1 0】 前記中央処理装置は内部レジスタを備えており、前記内部レジスタがメモリマップの切り替えを行うものであることを特徴とする請求項 3 乃至 9 の何れか一項に記載のマイクロコンピュータ。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、キャッシュを内蔵し、リアルタイム制御に適したマイクロコンピュータに関する。

【 0 0 0 2 】

【従来の技術】

リアルタイム制御においては、マイクロコンピュータは割り込み処理を短時間、かつ、一定時間内で実行することが要求される。

【 0 0 0 3 】

図 4 に従来のマイクロコンピュータの構造の一例を示す。

【 0 0 0 4 】

図 4 に示したマイクロコンピュータ 4 1 は、中央処理装置（C P U）4 2 と、データバス 4 3 を介して中央処理装置 4 2 と接続されているバスコントローラ 4 4 と、命令バス 4 5 を介して中央処理装置 4 2 と、接続バス 4 6 を介してバスコントローラ 4 4 とそれぞれ接続されている命令キャッシュ 4 7 と、内部バス 4 8

を介してバスコントローラ 44 と接続されているメモリコントローラ 49 と、かなる。

【0005】

メモリコントローラ 49 は、外部バス 50 を介して、さらに、外部メモリ 51 と接続されている。

【0006】

従来は、外部メモリ 51 へのプログラムアクセスは低速で行われていたが、このマイクロコンピュータ 41 は、命令キャッシュ 47 を内蔵することによって、外部メモリ 51 へプログラムアクセスを高速化することに成功している。

【0007】

【発明が解決しようとする課題】

しかしながら、キャッシュメモリはミスヒットが発生するため、リアルタイム制御には適していないという欠点がある。

【0008】

以下、その理由を第 1 の課題として述べる。

【0009】

マイクロコンピュータ 41 において、命令キャッシュ 47 上に中央処理装置 42 が実行する命令がない場合には、外部メモリ 51 から命令をリフィルする動作が必要となる。例えば、外部メモリ 51 に接続されている外部バス 50 のデータバスが 16 ビット幅であるとする、このリフィル動作には、最小 16 システムクロックの時間が必要となる。従って、割り込みルーチンが命令キャッシュ 47 上にない場合には、必然的に、割り込み応答時間が長くなってしまう。

【0010】

第 2 の課題は、ミスヒットの低減とチップサイズとが相反の関係にあるという点である。

【0011】

すなわち、命令キャッシュ 47 の容量を大きくすれば、ミスヒットをなくすることが可能である。しかしながら、キャッシュメモリはその構造上面積が大きい、大きな容量の命令キャッシュ 47 を内蔵すると、チップサイズが大きくなり

、ひいては、コストの上昇を避けることができない。

【 0 0 1 2 】

このような課題を解決するため、例えば、特開平 3 - 3 3 9 5 5 号公報は、中央処理装置がアクセスと予測されるメインメモリの内容を高速動作可能なキャッシュメモリへ転送しておき、このキャッシュメモリから前記中央処理装置へデータを供給することにより、前記中央処理装置と前記メインメモリの動作速度のギャップを埋めるキャッシュメモリコントローラにおいて、キャッシュデータに対して外部から入力される優先順位指定情報を記憶しておく優先順位記憶手段と、優先順位指定情報を優先順位記憶手段に記憶させるための制御を行い、破棄するキャッシュメモリを選択し、かつ、決定する制御回路と、この制御回路に優先順位記憶手段に記憶されている優先順位情報を参照する機能とを備えるキャッシュメモリコントローラを提案している。

【 0 0 1 3 】

このキャッシュメモリコントローラにおいては、命令キャッシュの格納データに優先順位を付加することにより、特定の格納データの追い出しをできる限り後に行うようにしている。一度格納したデータを追い出すためには、キャッシュヒットの判定を行うことを必要とするが、その判定を行うためには、1 システムクロックを必要とする。このため、中央処理装置が命令を取り込む時間がその分だけ遅れるという欠点があった。さらには、命令キャッシュが優先順位の高いデータで満たされると、プログラム全体のヒット率が著しく低下するという欠点もあった。

【 0 0 1 4 】

本発明はこのような点に鑑みてなされたものであり、中央処理装置がより高速に命令を取り込むことを可能にし、かつ、プログラム全体のヒット率の低下を防止することができるマイクロコンピュータを提供することを目的とする。

【 0 0 1 5 】

【課題を解決するための手段】

この目的を達成するため、請求項 1 は、キャッシュと中央処理装置とを 1 チップに内蔵したマイクロコンピュータであって、前記中央処理装置が実行する命令

を格納する R A M を備え、前記 R A M には割り込み処理ルーチンが格納されているマイクロコンピュータを提供する。

【 0 0 1 6 】

請求項 2 に記載されているように、電源投入時の前記 R A M へのプログラムの書き込みは、メモリマップを切り替えることにより、行われるものであることが好ましい。

【 0 0 1 7 】

請求項 3 は、中央処理装置と、第 1 バスを介して前記中央処理装置と接続されているバスコントローラと、第 2 バスを介して前記中央処理装置と、第 3 バスを介して前記バスコントローラとそれぞれ接続されている命令キャッシュと、第 4 バスを介して前記第 2 バスと接続され、かつ、割り込み処理ルーチンが格納されている命令 R A M と、からなるマイクロコンピュータを提供する。

【 0 0 1 8 】

請求項 4 に記載されているように、本マイクロコンピュータは、第 5 バスを介して前記バスコントローラと、第 6 バスを介して前記命令 R A M と、第 7 バスを介して外部メモリとそれぞれ接続されているメモリコントローラをさらに備えることが好ましい。

【 0 0 1 9 】

請求項 5 に記載されているように、前記中央処理装置は、例えば、実行すべき命令が前記命令キャッシュ上にある場合には、前記命令キャッシュからその命令を読み出し、かつ、実行し、実行すべき命令が前記命令キャッシュ上にない場合には、前記外部メモリから命令を読み出し、その命令を実行するものであることが好ましい。

【 0 0 2 0 】

請求項 6 に記載されているように、例えば、割り込み発生時には、前記中央処理装置は、前記命令 R A M から命令を読み出し、前記割り込み処理ルーチンを実行するものであることが好ましい。

【 0 0 2 1 】

請求項 7 に記載されているように、本マイクロコンピュータは、前記中央処理



装置に接続する外部端子をさらに備えていることが好ましい。この外部端子を介して、前記命令 RAM が配置される領域が指定される。

【 0 0 2 2 】

また、請求項 8 に記載されているように、前記外部端子の操作は前記中央処理装置の実行中においても受け付けられるものであることが好ましい。

【 0 0 2 3 】

請求項 9 に記載されているように、本マイクロコンピュータは、前記中央処理装置に接続する外部端子をさらに備えていることが好ましい。この外部端子を介して、メモリマップの切り替えが行われる。

【 0 0 2 4 】

あるいは、請求項 1 0 に記載されているように、前記中央処理装置が内部レジスタを有するように構成し、前記内部レジスタによって、メモリマップの切り替えを行うことも可能である。

【 0 0 2 5 】

【発明の実施の形態】

図 1 に本発明の一実施形態に係るマイクロコンピュータ 1 の構成を示すブロック図を示す。

【 0 0 2 6 】

マイクロコンピュータ 1 は、中央処理装置（CPU）2 と、データバス 3 を介して中央処理装置 2 と接続されているバスコントローラ 4 と、命令バス 5 を介して中央処理装置 2 と、第 1 接続バス 6 を介してバスコントローラ 4 とそれぞれ接続されている命令キャッシュ 7 と、内部バス 8 を介してバスコントローラ 4 と接続されているメモリコントローラ 9 と、第 2 接続バス 1 0 を介して命令バス 5 と、第 3 接続バス 1 1 を介して内部バス 8 とそれぞれ接続している命令 RAM 1 2 と、中央処理装置 2 に接続されている外部端子 1 3 と、からなる。

【 0 0 2 7 】

メモリコントローラ 9 は、外部バス 1 4 を介して、さらに、外部メモリ 1 5 と接続されている。

【 0 0 2 8 】

以上のような構成を有するマイクロコンピュータ 1 はハーバードアーキテクチャのマイクロコンピュータである。

【 0 0 2 9 】

命令 R A M 1 2 上には、高速応答を要求される割り込み処理ルーチンが格納されている。なお、命令 R A M 1 2 の初期化は図 2 に示すメモリマップを切り替えることにより行なう。

【 0 0 3 0 】

命令 R A M 1 2 は第 2 接続バス 1 0 を介して命令バス 5 と接続されているため、中央処理装置 2 は 1 システムクロックサイクルで命令 R A M 1 2 から命令を読み出すことができる。

【 0 0 3 1 】

また、命令 R A M 1 2 は第 3 接続バス 1 1 を介して内部バス 1 3 にも接続されているため、中央処理装置 2 はデータバス 3 及びバスコントローラ 4 を経由して、1 システムクロックサイクルで命令 R A M 1 2 に命令を書き込むことができる。

【 0 0 3 2 】

命令キャッシュ 7 は命令バス 5 に接続されており、命令キャッシュ 7 上に実行すべき命令があれば、中央処理装置 2 は 1 システムクロックサイクルで命令キャッシュ 7 から命令を読み出すことができる。

【 0 0 3 3 】

ただし、命令キャッシュ 7 上に実行する命令がない場合には、命令キャッシュ 7 は、バスコントローラ 4、内部バス 8、メモリコントローラ 9 及び外部バス 1 4 を経由して、外部メモリ 1 5 から、その命令を含むキャッシュ 1 ライン分の命令を読み込むリフィル動作を行なう。

【 0 0 3 4 】

バスコントローラ 4 は、データバス 3 と命令バス 5 の信号と、内部バス 8 の信号とを相互に変換する。

【 0 0 3 5 】

メモリコントローラ 9 は、内部バス 8 の信号と外部バス 1 4 の信号とを相互に

変換する。

【0036】

中央処理装置2は、命令バス5、バスコントローラ4、内部バス8及びメモリコントローラ9を経由して、外部メモリ15から最小2システムクロックサイクルで命令を読み出すことができるとともに、データバス3、バスコントローラ4、内部バス8及びメモリコントローラ9を経由して、最小2システムクロックサイクルで外部メモリ15からデータを読み、あるいは、外部メモリ15にデータを書き込むことができる。

【0037】

中央処理装置2に接続されている外部端子13は、図2に示すように、命令RAM12が配置される領域を指定する。図2に示す双方のメモリマップでは、配置されるアドレスは変化するが、配置される命令RAM12自体は同一である。

【0038】

すなわち、命令RAM12の初期化用メモリマップの指定時に0100000H番地に書き込んだデータは、通常メモリマップの指定時は0000000H番地に存在する。

【0039】

以下、マイクロコンピュータ1の動作を説明する。

【0040】

中央処理装置2は、リセット解除時においては、0000000H番地から命令実行を開始する。また、割り込み発生時には、割り込み要求ソースに応じて定められている0000010H-0000480H番地の割り込みベクタテーブルで指定される割り込みルーチンを実行する。

【0041】

先ず、通常メモリマップ時におけるマイクロコンピュータ1の動作は次の通りである。

【0042】

通常メモリマップ時においては、メモリ空間には、図2に示すように、命令RAM12及び外部メモリ15が割り付けられている。すなわち、命令RAM12

は0000000H-0100000H番地にあり、外部メモリ15は0100000H番地以降の番地にある。

【0043】

通常メモリマップ時において、リセット解除時には、中央処理装置2は0000000H番地から命令実行を開始する。0000000H番地には命令RAM12が割り付けられているため、中央処理装置2は命令RAM12から命令を読み出し、実行する。

【0044】

また、通常の命令の実行に際しては、以下のように、中央処理装置2は外部メモリ15または命令RAM12に格納されたプログラムを実行する。

【0045】

中央処理装置2は命令キャッシュ7上に実行する命令があれば、すなわち、キャッシュにヒットすれば、命令キャッシュ7から命令を読み出し、実行する。

【0046】

命令キャッシュ7上に実行すべき命令がない場合には、外部メモリ15からその命令を含むキャッシュ1ライン分の命令を読み出し、そのデータを命令キャッシュ7に格納する。その後、中央処理装置2は命令キャッシュ7から命令を読み出し、実行する。

【0047】

あるいは、命令RAM12上に実行すべき命令がある場合には、中央処理装置2は命令RAM12から命令を読み出し、実行する。

【0048】

割り込み発生時には、中央処理装置2は、0000000H-0100000H番地に格納されている割り込み処理ルーチンに分岐し、割り込み処理ルーチンの実行を開始する。図2に示すように、この領域には命令RAM12が割り付けられており、中央処理装置2は命令RAM12から命令を読み出し、割り込み処理ルーチンを実行する。

【0049】

以上に述べた通常のメモリマップにおいては、中央処理装置2は、リセット直

後に、命令RAM12からリセットルーチンを読み出し、その実行を開始する。

【0050】

しかしながら、電源立ち上げ直後は命令RAM12の内容が不定であるので、そのままリセット処理を実行できない場合がある。このため、命令RAM12の初期化を行うために、次に述べるように、「命令RAM初期化用メモリマップ」が用意されている。

【0051】

以下、命令RAM初期化用メモリマップ時におけるマイクロコンピュータ1の動作を説明する。

【0052】

命令RAM初期化用メモリマップ時においては、メモリ空間には、図2に示すように、外部メモリ15及び命令RAM12が割り付けられている。命令RAM12は0100000H-0200000H番地にあり、外部メモリ15は0000000H-0100000H番地及び0200000H以降の番地にある。

【0053】

リセット解除時においては、中央処理装置2は、0000000H番地から命令実行を開始する。0000000H番地には外部メモリ15が割り付けられているため、中央処理装置2は外部メモリ15から命令を読み出し、実行する。

【0054】

初期化のルーチン実行時においては、マイクロコンピュータ1は、通常メモリマップ時において通常の命令実行時の外部メモリ15上の命令を実行する場合と同様に動作する。すなわち、中央処理装置2は、上述のように、外部メモリ15または命令RAM12に格納されたプログラムを実行する。

【0055】

次いで、上で説明した命令RAM初期化用メモリマップを用いた命令RAM12の初期化作業を図3のフローチャートを用いて説明する。

【0056】

なお、外部メモリ15には以下のプログラムが格納されているものとする。

(1) リセット・割り込みベクタテーブル

(2) 初期化ルーチン

(3) 命令RAM 1 2へ転送するデータ (リセット・割り込みベクタ)

(4) 命令RAM 1 2へ転送するデータ (割り込みルーチン)

(5) 制御プログラム・データ (0 2 0 0 0 0 0 H番地以降)

また、ステップ1 0 0、1 0 1、1 0 3、1 0 4、1 0 5におけるリセット及び外部端子8の操作は外部の制御機器 (図示せず) によって行われるものとする。

【0 0 5 7】

電源投入後、ステップ1 0 0において、外部端子8を操作し「命令RAM初期化用メモリマップ」を指定する。

【0 0 5 8】

次いで、ステップ1 0 1に進み、リセットを解除する。

【0 0 5 9】

次いで、ステップ1 0 2において、中央処理装置2は外部メモリ1 5から命令を読み出し、命令実行を開始する。すなわち、上記(1)、(2)の順にプログラムを実行し、初期化ルーチンにおいて、命令RAM 1 2が配置された0 1 0 0 0 0 0 H-0 2 0 0 0 0 0 H番地に外部メモリ1 5からプログラム(3)及び(4)を転送する。

【0 0 6 0】

プログラム(3)及び(4)の転送完了後、ステップ1 0 3に進み、一旦リセット状態とする。

【0 0 6 1】

次いで、ステップ1 0 4において、外部端子8を操作し、「通常メモリマップ」を指定する。

【0 0 6 2】

その後、ステップ1 0 5に進み、リセットを解除する。

【0 0 6 3】

次いで、ステップ1 0 6において、中央処理装置2は命令RAM 1 2から命令を読み出し、命令の実行を開始する。すなわち、ステップ1 0 2において転送し

た（３）リセット・割り込みベクタ、外部メモリ１５上の（５）制御プログラムの順にプログラムを実行する。

【 0 0 6 4 】

割り込み発生時においては、命令RAM１２上の（３）、（４）の順に割り込み処理を実行する。

【 0 0 6 5 】

以上のように、本実施形態に係るマイクロコンピュータ１によれば、命令RAM１２は命令キャッシュ７と異なり、ミスヒットが発生しないので、割り込み処理を短時間、かつ、一定時間内に実行することができ、ひいては、リアルタイム応答性に優れたマイクロコンピュータを実現することができる。

【 0 0 6 6 】

また、特開平３－３３９５５号公報に記載されているキャッシュメモリコントローラにおいては、特定の格納データの追い出しを行うため、キャッシュヒットの判定を行う必要があり、そのために、１システムクロックを必要としていたが、本実施形態に係るマイクロコンピュータ１における命令RAM１２は、一旦格納したデータの追い出しは行わないため、キャッシュヒットの判定を行う必要もない。従って、中央処理装置２は、上記公報に記載のキャッシュメモリコントローラよりも高速に命令を取り込むことが可能である。

【 0 0 6 7 】

さらに、特開平３－３３９５５号公報に記載されているキャッシュメモリコントローラにおいては、優先順位の高いデータで命令キャッシュが満たされると、プログラム全体のヒット率が低下するという問題があったが、本実施形態に係るマイクロコンピュータ１は命令キャッシュ７がデータで満たされても、命令RAM１２を介して中央処理装置２に命令が伝達されるので、プログラム全体のヒット率が低下するという問題を解決することが可能である。

【 0 0 6 8 】

以下、第二の実施形態に係るマイクロコンピュータを説明する。

【 0 0 6 9 】

第二の実施形態においては、外部端子８の操作は中央処理装置２の実行中でも

受け付けられるようになっている。

【 0 0 7 0 】

この第二の実施形態によれば、上述の第一の実施形態において外部端子 1 3 を操作するために行なっていた初期化終了後のステップ 1 0 3 におけるリセット入力と、ステップ 1 0 4 におけるリセット解除とが不要となり、マイクロコンピュータの立ち上げ時間を短縮することができる。

【 0 0 7 1 】

次いで、以下、第三の実施形態に係るマイクロコンピュータを説明する。

【 0 0 7 2 】

第三の実施形態における中央処理装置 2 には内部レジスタが設けられている。上述の第一の実施形態においては、メモリマップの切り替えは外部端子 1 3 を介して行っていたが、本実施形態においては、このメモリマップの切り替えは内部レジスタにより行われる。

【 0 0 7 3 】

例えば、リセット解除後の内部レジスタの初期値は「命令 R A M 初期化用メモリマップ」を指定するものとし、第一の実施形態と同様に初期化作業を終了した後に、内部レジスタを操作し、「通常メモリマップ」を指定する。

【 0 0 7 4 】

この第三の実施形態によれば、リセット期間中に行なっていたステップ 1 0 1 及び 1 0 4 における外部端子 1 3 の操作が不要となるため、マイクロコンピュータの立ち上げ時間を短縮し、かつ、マイクロコンピュータの構成を簡略化することができる。

【 0 0 7 5 】

【発明の効果】

以上説明したように、本発明は、以下に記載するような効果を奏する。

【 0 0 7 6 】

第 1 の効果は、リアルタイム制御において高速応答を要求される割り込み処理プログラムを命令 R A M に格納することにより、常に最小の割り込み応答時間を実現できることである。



【 0 0 7 7 】

第 2 の効果は、命令 R A M への書込みをメモリマップの切り替えにより行なうため、命令 R A M は専用の環境を必要とせずに高速で容易にプログラムの書き換えができることである。

【 0 0 7 8 】

第 3 の効果は、高速応答を必要とするプログラム以外にも頻繁にアクセスするプログラムを命令 R A M に格納することにより、命令キャッシュの使用頻度を下げることができ、ひいては、大きな面積を必要とする命令キャッシュの容量を押さえることができることである。

【図面の簡単な説明】

【図 1】

本発明の一実施形態に係るマイクロコンピュータのブロック図である。

【図 2】

二つのメモリマップの内容を示す概略図である。

【図 3】

命令 R A M の初期化作業のフローチャートである。

【図 4】

従来のマイクロコンピュータのブロック図である。

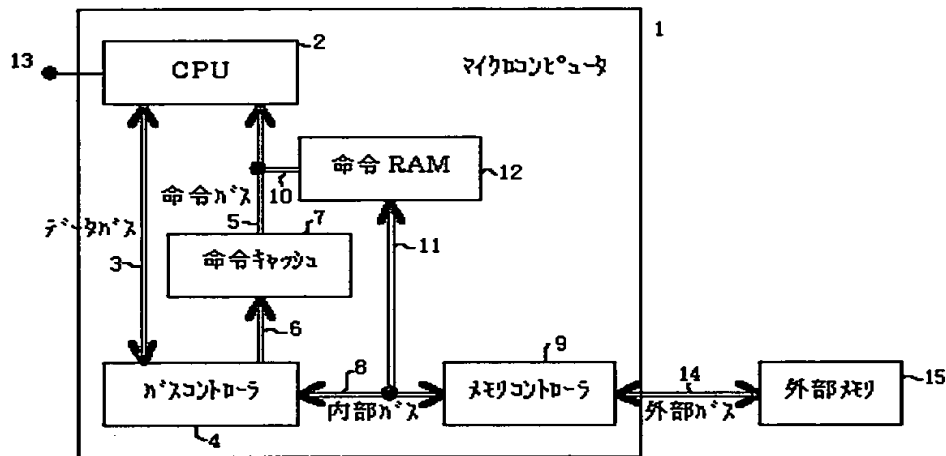
【符号の説明】

- 1    マイクロコンピュータ
- 2    中央処理装置
- 3    データバス
- 4    バスコントローラ
- 5    命令バス
- 6    第一接続バス
- 7    命令キャッシュ
- 8    内部バス
- 9    メモリコントローラ
- 10   第二接続バス

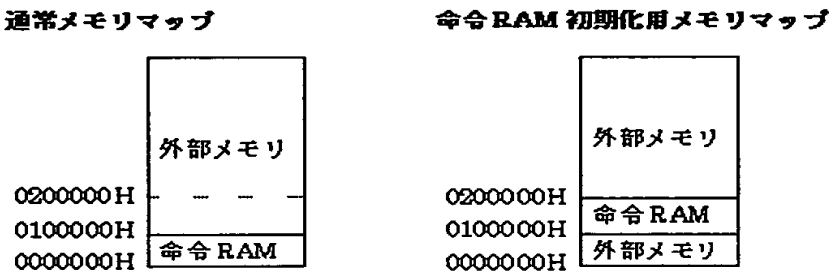
- 1 1 第三接続バス
- 1 2 命令 R A M
- 1 3 接続端子
- 1 4 外部バス
- 1 5 外部メモリ

【書類名】 図面

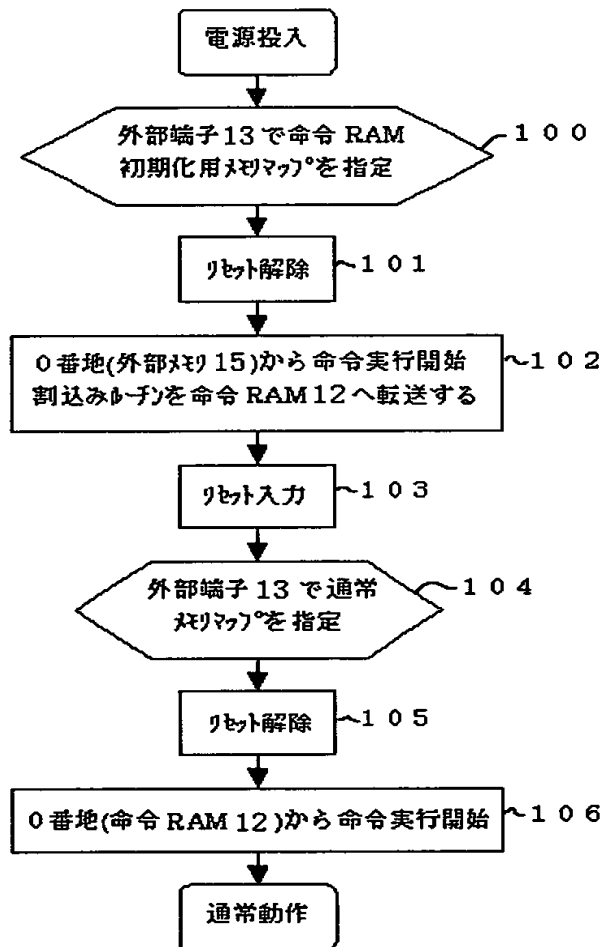
【図 1】



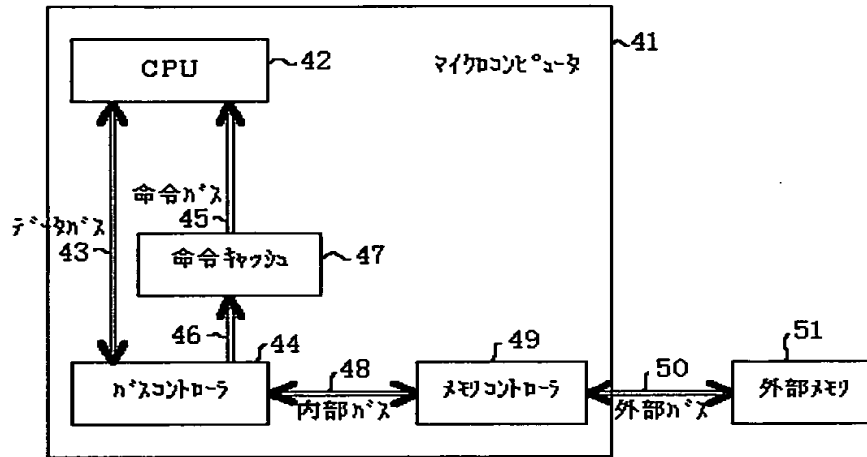
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 リアルタイム制御に適したマイクロコンピュータを提供する。

【解決手段】 マイクロコンピュータ 1 は、命令キャッシュ 7 と中央処理装置 2 とを 1 チップに内蔵しており、さらに、中央処理装置 2 が実行する命令を格納する命令 RAM 1 2 を備えている。命令 RAM 1 2 には割り込み処理ルーチンが格納されている。命令 RAM 1 2 は命令キャッシュとは異なり、ミスヒットが発生しないため、割り込み処理に要する時間を短縮することができ、ひいては、リアルタイム応答性を向上させることができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000232036]

1. 変更年月日	1990年 8月13日
[変更理由]	新規登録
住 所	神奈川県川崎市中原区小杉町1丁目403番53
氏 名	日本電気アイシーマイコンシステム株式会社